

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-189456

(43)Date of publication of application : 05.07.2002

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2000-387892

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.12.2000

(72)Inventor : NUKIYAMA KAZUHIRO

ITO TAKAHIDE

YAMAZAKI HIROSHI

FURUKOSHI YASUTAKE

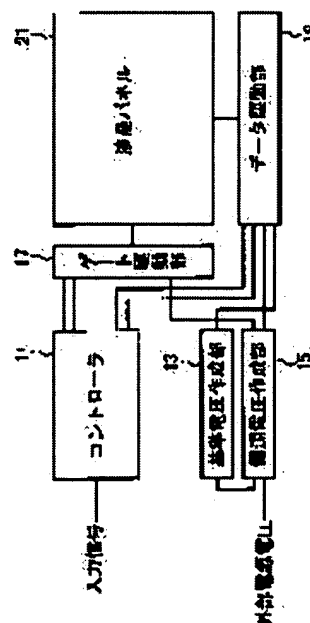
(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which surely displays a good quality picture and whose cost and circuit scale are reduced.

SOLUTION: The liquid crystal display device is provided with a data driving part 19 which fetches picture display data according to a supplied clock signal and makes a liquid crystal panel 21 display a picture according to the picture display data. The device also comprises a controller 11 which detects a change pattern of the picture display data and adjusts the phase relationship between the clock signal and the picture display data according to the detected change pattern.

本発明の実施の形態1に係る液晶表示装置の構成を示すブロック図



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-189456
(P2002-189456A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 Z
	6 2 1		6 2 1 A

審査請求 未請求 請求項の数10 O L (全 23 頁) 最終頁に続く

(21)出願番号 特願2000-387892(P2000-387892)

(22)出願日 平成12年12月20日(2000.12.20)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 抜山 和宏

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 伊藤 高英

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

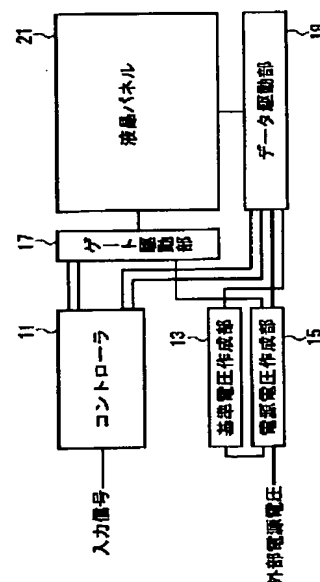
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 品質の良い画像を確実に表示すると共に、コスト及び回路規模が低減された液晶表示装置を提供する。

【解決手段】 供給されたクロック信号に応じて画像表示データを取り込むと共に、該画像表示データに応じて液晶パネル21に画像を表示させるデータ駆動部19を含む液晶表示装置であって、画像表示データの変化パターンを検出し、検出された変化パターンに応じてクロック信号と画像表示データとの位相関係を調整するコントローラ11を備えたことを特徴とする液晶表示装置を提供する。

本発明の実施の形態1に係る液晶表示装置の構成を示すブロック図



【特許請求の範囲】

【請求項1】 供給されたクロック信号に応じて画像表示データを取り込むと共に、前記画像表示データに応じて液晶表示手段に画像を表示させるデータ駆動手段を含む液晶表示装置であって、前記画像表示データの変化パターンを検出し、検出された前記変化パターンに応じて前記クロック信号と前記画像表示データとの位相関係を調整する制御手段を備えたことを特徴とする液晶表示装置。

【請求項2】 前記制御手段は、前記画像表示データの変化パターンを検出するパターン検出手段と、前記パターン検出手段により検出された前記変化パターンに応じて、前記クロック信号と前記画像表示データとの位相関係を調整する位相調整手段とを含む請求項1に記載の液晶表示装置。

【請求項3】 前記クロック信号の周波数を検出する周波数検出手段をさらに備え、前記位相調整手段は、前記パターン検出手段により検出された前記変化パターンと前記周波数検出手段により検出された前記周波数に応じて、前記クロック信号と前記画像表示データとの位相関係を調整する請求項2に記載の液晶表示装置。

【請求項4】 供給された基準電圧に応じて生成された階調電圧を有する複数の階調電圧ノードを有し、前記階調電圧に応じて液晶表示手段に画像を表示させるデータ駆動手段を含む液晶表示装置であって、供給された第一の制御信号に応じて前記基準電圧の供給先とする前記階調電圧ノードを選択する選択手段を備えたことを特徴とする液晶表示装置。

【請求項5】 前記データ駆動手段は、供給される第二の制御信号に応じて、前記データ駆動手段へ転送されたデータ信号を前記基準電圧として取り込む請求項4に記載の液晶表示装置。

【請求項6】 クロック信号と同期して供給された画像表示データに応じて液晶表示手段へ画像を表示させる複数のデータ駆動手段と、前記複数のデータ駆動手段へ前記クロック信号及び前記画像表示データを供給する制御手段とを含む液晶表示装置であって、前記複数のデータ駆動手段の各々に内蔵され、前記制御手段から供給された前記クロック信号と前記画像表示データとを所定の位相関係とするタイミング補正手段を備えたことを特徴とする液晶表示装置。

【請求項7】 前記制御手段は、前記データ駆動手段への信号伝送時間を検出し、検出された前記信号伝送時間に応じて補正信号を生成して前記タイミング補正手段へ供給すると共に、前記タイミング補正手段は、供給された前記補正信号に応じて前記クロック信号と前記画像表示データとを所定の位相関係とする請求項6に記載の液晶表示装置。

【請求項8】 前記制御手段は、複数の前記タイミング補正手段へ共通のモニタ用データ信号を供給し、各々の前記タイミング補正手段は、供給された前記モニタ用データ信号と前記クロック信号との位相差を検出することによって、前記クロック信号と前記画像表示データとを所定の位相関係とする請求項6に記載の液晶表示装置。

【請求項9】 供給される制御信号によって、画像表示データに応じた画像を液晶表示手段へ表示させるデータ駆動手段を含む液晶表示装置であって、前記データ駆動手段に内蔵され、前記データ駆動手段の外部から供給される外部信号に応じて前記制御信号を生成する制御信号生成手段を備えたことを特徴とする液晶表示装置。

【請求項10】 画像を表示する液晶表示手段を含む液晶表示装置であって、供給された画像表示データの中から前記液晶表示手段による画像表示の対象とする前記画像表示データを決定する有効表示信号に応じて前記画像表示データを順次取り込み、取り込んだ前記画像表示データに対応した画像を前記液晶表示手段へ表示させるデータ駆動手段を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関するものである。

【0002】

【従来の技術】従来より液晶表示装置は、パーソナルコンピュータ（PC）等のモニタに用いられているが、近年におけるPCの普及に伴い、市場ではモニタの大型化や高精細化が望まれている。これにより、画像を表示する液晶表示部を拡大して各種の駆動回路を高性能化する必要がある。

【0003】図1は、従来の液晶表示装置の構成を示す図である。図1に示されるように、従来の液晶表示装置はタイミングコントローラ2が設けられた制御回路基板1と、ゲート駆動部3と、液晶駆動回路M1～M10が設けられたデータ基板4を含むデータ駆動部5と、表示部6とを備える。ここで、ゲート駆動部3及び各液晶駆動回路M1～M10はタイミングコントローラ2に接続される。

【0004】上記のような構成を有する液晶表示装置では、タイミングコントローラ2から各液晶駆動回路M1～M10へ画像データが伝送される。そして、各液晶駆動回路M1～M10は、受信した画像データをマトリクス状に配置された表示画素からなる表示部6へ出力する。

【0005】図2は、図1に示されたタイミングコントローラ2から液晶駆動回路M1～M10へ供給されるクロック信号CLKの遅延量を比較した波形図である。こ

で、各液晶駆動回路M1～M10へはタイミングコントローラ2から画像データ信号DATAが供給され、各液晶駆動回路M1～M10は供給されるクロック信号CLKがロウレベル(L)からハイレベル(H)へ遷移するいわゆる立ち上がりのタイミングにおいて該画像データ信号DATAをラッチする。

【0006】そして、図2(a)に示されるように、タイミングコントローラ2からの配線長が最も短い液晶駆動回路M1では、例えば時刻T2において該画像データ信号DATAがラッチされ、時刻T1から時刻T2までの時間がセットアップ時間ST、時刻T2から時刻T3までの時間がホールド時間HTとされる。

【0007】このとき、他の液晶駆動回路M2～M10は、タイミングコントローラ2からの配線長が液晶駆動回路M1の該配線長より長い場合、例えば液晶駆動回路M5や液晶駆動回路M10では、図2(b)及び図2(c)に示されるように、上記クロック信号CLKはそれぞれ遅延時間D1、D2だけ遅延する。従って、液晶駆動回路M5では時刻T2より遅延時間D1だけ後の時刻T4で画像データ信号DATAがラッチされ、液晶駆動回路M10では時刻T2より遅延時間D2だけ後の時刻T5において画像データ信号DATAがラッチされる。

【0008】このことから、図2(b)及び図2(c)に示されるように、タイミングコントローラ2からの配線長が長くなるほど、液晶駆動回路における該画像データ信号DATAのセットアップ時間が長くなると共にホールド時間が短くなるため、所望のセットアップ時間及びホールド時間を確保できずタイミングエラーを発生させてしまうという問題があった。

【0009】特に、薄膜トランジスタ(TFT)を用いた液晶パネルに画像を表示する液晶表示装置では、液晶駆動回路M1～M10に含まれたドライバに供給される画像データ信号DATAとクロック信号CLKの周波数が最も高い場合、両信号のタイミング制御には困難性がある。また、この場合タイミングコントローラ2からの配線長に応じたインピーダンスとタイミングコントローラ2の駆動能力との兼ね合いによっては上記両信号の波形が大きく鈍ると共に、伝送時間に差異を生じることがある。

【0010】そしてこのような場合には、タイミングコントローラ2から出力される画像データ信号DATAとクロック信号CLKのタイミングが適切であっても上記のようにセットアップ時間STとホールド時間HTのどちらかが足りなくなる場合がある。

【0011】ここで、従来においては特開平7-311561号公報に開示されるように、クロック信号CLK又はデータ信号の遅延をコントローラ内部で調節したり、あるいは伝送線にバッファやダンピング抵抗、ビーズ、プルアップ抵抗やプルダウン抵抗等を挿入することによってタイミング調整を図っていた。

【0012】しかしながら、上記のように、配設された

位置が異なる各ドライバにおいては、タイミングコントローラからの配線長の相違により伝送経路におけるインピーダンスが大きく異なり、反射の影響も大きくなるため上記タイミング調整が困難になっているという問題がある。

【0013】また、近年は液晶表示装置の大画面化及び高精細化が進んできている。このため、表示容量の増加によりデータ転送速度が増加すると共に、大画面化により各データラインの配線長が長くなる。従って、配線長が長くなることによりインピーダンスが増加するため、伝送される信号がロウレベルからハイレベル、あるいはハイレベルからロウレベルへ遷移するために要する時間が長くなる一方、データ転送速度が増加するため、伝送される信号が1クロック周期内で十分にロウレベルまたはハイレベルに達しにくくなるという問題がある。

【0014】さらに、インタフェースの仕様において、液晶のリフレッシュレート(フレーム周波数)として60Hzや75Hzなどの広い周波数帯で動作を保証する場合、すなわちクロック周波数について広い周波数帯で動作を保証しなければならない場合には、クロック信号の周波数により該クロック信号や各画像データ信号の振幅が変化することになる。

【0015】そして、図3(a)に示されるように、画像データ信号DATAの振幅が接地電圧GNDと電源電圧Vccとの間に収まる程小さい場合には、1クロックおきにデータが変わるパターン①では、数クロック同じデータが続いてからデータが変わるパターン②に比べてデータのレベルが速く切り替わるため、ホールド時間HTが減少するという問題がある。

【0016】具体的には、例えばクロック信号CLKが全振幅の70%の大きさとなってから画像データ信号DATAが同じく全振幅の30%の大きさとなるまでの期間をロウレベル(L)のホールド時間とすれば、図3に示されるように、パターン①の画像データ信号DATAに対するホールド時間HT1は時刻T1から時刻T2までの時間となるため、パターン②の画像データ信号DATAに対するホールド時間HT2となる時刻T1から時刻T3までの時間より減少してしまう。

【0017】また、画像データ信号DATAの振幅が、図3(a)に示されるように、電源電圧の大きさを持つハイレベル(H)や接地電圧の大きさを持つロウレベル(L)を越える程大きくなる場合には、1クロックおきにデータが変わるパターン①では、数クロック同じデータが続いてからデータが変わるパターン②に比べてセットアップ時間STが減少するという問題がある。

【0018】具体的には、例えばクロック信号CLKが全振幅の30%の大きさとなってから画像データ信号DATAが全振幅の70%の大きさとなるまでの期間をハイレベル(H)のセットアップ時間とすれば、図3に示されるように、パターン①の画像データ信号DATAに対するセット

アップ時間ST1は、パターン②の画像データ信号DATAに対するセットアップ時間ST2より減少してしまう。

【0019】また、近年における液晶表示装置では、表示画像の高画質化に伴い階調－輝度特性の最適化が求められている。ここで、各液晶駆動回路M1～M10に含まれた従来の液晶駆動ドライバの内部回路は、図4に示されるように、外部から外部基準電圧V1～V10を入力し、該ドライバ内部の分割抵抗により、必要な階調レベル毎の基準階調電圧V1D～V16Dを作成する。そして、D/Aコンバータ7はラッチされた画像データ信号をD/A変換することにより駆動電圧を決定し、該駆動電圧を出力アンプ8でバッファしたうえで出力する。

【0020】ここで、表示階調数の増加に伴いドライバ内部で作成される基準電圧数も増大するが、ドライバ内部の分割抵抗比が液晶パネルの階調－輝度特性に合致している場合には外部から基準電圧を入力する必要はないものの、実際には該分割抵抗比は各ドライバメカ間で統一されておらず、また液晶パネルの特性により階調－輝度特性が変動するため、外部から階調基準電圧V1～V10を入力して該特性を補正する方法が一般的に採用されている。

【0021】また、上記のように階調数の増大に伴い基準電圧レベル数が増加し、微妙な階調レベルの補正を行うには多数の補正電圧を入力することが必要となる。従って、外部からの補正基準電圧の入力数が増加することで駆動ドライバの入力端子数が増加し、所定の端子数に収まらなくなるため、駆動ドライバのパッケージ(TAB等)形状を大きくする必要が生じる。

【0022】しかしながら、近年は表示階調レベル数の増加により表示データ信号数が増加したため、入力端子数を増加するのは難しい状況になっている。このため、図4に示されるように、中間レベルに対応するノードはドライバ内部回路10の中でオープン状態とし、外部に該ノードを引き出さない構成としているが、液晶特性が変化した場合等は補正しなければならない階調が外部に取り出されていないために最適化できず、階調－輝度特性の悪化や表示品質の低下を招くという問題があった。

【0023】一方、近年の液晶表示装置は高精彩化、狭額縁化、及び薄型化が進み、表示領域外に位置する駆動回路の縮小化が必須である。図5は、従来の液晶表示装置に含まれたデータ駆動部5の構成を示す図であり、図6は図5に示されたデータ駆動部5の動作を示すタイミングチャートである。図5に示されるように、従来のデータ駆動部5は、第一データドライバM1dと第二データドライバM2d、第三データドライバM3d及び第十データドライバM10dを含む。ここで、第一データドライバM1dと第二データドライバM2d、第三データドライバM3d及び第十データドライバM10dはそれぞれ液晶駆動回路M1～M10に含まれる。

【0024】また、従来の液晶表示装置ではタイミング

コントローラ2がパーソナルコンピュータ(PC)本体から供給される表示データ(図6(b))を取り込む。そして、タイミングコントローラ2はデータドライバの駆動に必要な有効データ開始信号(図6(c))を第一データドライバM1dへ供給し、入力されるデータを取りこむためのクロック信号CLK(図6(a))とデータドライバに書き込んだデータを液晶パネルへ出力するためのラッチ信号LP(図6(d))、書き込み電圧の交流駆動信号POL(図6(e))及び基準電源を、データ信号と共に第一データドライバM1dから第十データドライバM10dまでの各データドライバへ供給する。

【0025】従って、ドライバへはPC本体から供給される表示データの他に、ドライバ制御用の信号を供給して液晶パネルへ所定の画像を表示させることが必須であるため、たとえ小規模であれタイミングコントローラが必要であるため、液晶表示装置が形成される集積回路の規模を縮小化することが困難であるという問題がある。

【0026】

【発明が解決しようとする課題】本発明は、上述の問題を解消するためになされたもので、品質の良い画像を確実に表示すると共に、コスト及び回路規模が低減された液晶表示装置を提供することを目的とする。

【0027】

【課題を解決するための手段】上記の目的は、供給されたクロック信号に応じて画像表示データを取り込むと共に、画像表示データに応じて液晶表示手段に画像を表示させるデータ駆動手段を含む液晶表示装置であって、画像表示データの変化パターンを検出し、検出された変化パターンに応じてクロック信号と画像表示データとの位相関係を調整する制御手段を備えたことを特徴とする液晶表示装置を提供することによって達成される。このような手段によれば、画像表示データの変化パターンによる取り込みタイミングの変動を回避することができる。

【0028】ここで、上記制御手段は、画像表示データの変化パターンを検出するパターン検出手段と、パターン検出手段により検出された変化パターンに応じて、クロック信号と画像表示データとの位相関係を調整する位相調整手段とを含むものとして行うことができる。

【0029】また、上記液晶表示装置は、クロック信号の周波数を検出する周波数検出手段をさらに備え、位相調整手段は、パターン検出手段により検出された変化パターンと周波数検出手段により検出された周波数に応じて、クロック信号と画像表示データとの位相関係を調整するものとして行うことができる。このような手段によれば、位相調整手段は画像表示データの変化パターン及びクロック信号の周波数に応じて両信号の位相を調整するため、より精度良く両信号を所定の位相関係とすることができる。

【0030】また、本発明の目的は、供給された基準電圧に応じて生成された階調電圧を有する複数の階調電圧

ノードを有し、階調電圧に応じて液晶表示手段に画像を表示させるデータ駆動手段を含む液晶表示装置であって、供給された第一の制御信号に応じて基準電圧の供給先とする階調電圧ノードを選択する選択手段を備えたことを特徴とする液晶表示装置を提供することによって達成される。このような手段によれば、選択手段によって基準電圧の供給先を変えることができるため、階調電圧を容易に調整することができる。

【0031】また、データ駆動手段は、供給される第二の制御信号に応じて、データ駆動手段へ転送されたデータ信号を基準電圧として取り込むことにより、生成する階調電圧の自由度を高めることができる。

【0032】また、本発明の目的は、クロック信号と同期して供給された画像表示データに応じて液晶表示手段へ画像を表示させる複数のデータ駆動手段と、複数のデータ駆動手段へクロック信号及び画像表示データを供給する制御手段とを含む液晶表示装置であって、複数のデータ駆動手段の各々に内蔵され、制御手段から供給されたクロック信号と画像表示データとを所定の位相関係とするタイミング補正手段を備えたことを特徴とする液晶表示装置を提供することによって達成される。このような手段によれば、配設される位置によらず、各データ駆動手段に供給されるクロック信号と画像表示データを容易に所定の位相関係とすることができる。

【0033】ここで、制御手段は、データ駆動手段への信号伝送時間を検出し、検出された信号伝送時間に応じて補正信号を生成してタイミング補正手段へ供給すると共に、タイミング補正手段は、供給された補正信号に応じてクロック信号と画像表示データとを所定の位相関係とするものとすれば、正確かつ確実に各データ駆動手段に供給されるクロック信号と画像表示データを所定の位相関係とすることができる。

【0034】ここでまた、制御手段は、複数のタイミング補正手段へ共通のモニタ用データ信号を供給し、各々のタイミング補正手段は、供給されたモニタ用データ信号とクロック信号との位相差を検出することによって、クロック信号と画像表示データとを所定の位相関係とすることによっても、正確かつ確実に各データ駆動手段に供給されるクロック信号と画像表示データを所定の位相関係とすることができる。

【0035】また、本発明の目的は、供給される制御信号によって、画像表示データに応じた画像を液晶表示手段へ表示させるデータ駆動手段を含む液晶表示装置であって、データ駆動手段に内蔵され、データ駆動手段の外部から供給される外部信号に応じて制御信号を生成する制御信号生成手段を備えたことを特徴とする液晶表示装置を提供することにより達成される。このような手段によれば、上記制御信号を生成するための回路を別途備える必要が回避される。

【0036】また、本発明の目的は、画像を表示する液

晶表示手段を含む液晶表示装置であって、供給された画像表示データの中から液晶表示手段による画像表示の対象とする画像表示データを決定する有効表示信号に応じて画像表示データを順次取り込み、取り込んだ画像表示データに対応した画像を液晶表示手段へ表示させるデータ駆動手段を備えたことを特徴とする液晶表示装置を提供することにより達成される。このような手段によれば、データ駆動手段は画像表示データを取り込むタイミングを決定する制御信号によらず、画像表示データを適切なタイミングで取り込むことができる。

【0037】

【発明の実施の形態】以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一又は相当部分を示す。

〔実施の形態1〕図7は、本発明の実施の形態1に係る液晶表示装置の構成を示すブロック図である。図7に示されるように、本発明の実施の形態1に係る液晶表示装置は、コントローラ11と基準電圧作成部13、電源電圧作成部15、ゲート駆動部17、データ駆動部19、及び液晶パネル21を備えるものである。

【0038】ここで、コントローラ11は供給された入力信号に応じて種々の制御信号を生成し、ゲート駆動部17及びデータ駆動部19へ供給する。また、電源電圧作成部15には外部電源電圧が供給される。また、基準電圧作成部13は電源電圧作成部15に接続され、作成した基準電圧を液晶駆動のためにデータ駆動部19へ供給する。また、電源電圧作成部15は供給された外部電源電圧に応じて内部電源電圧を生成し、生成された内部電源電圧を基準電圧作成部13とゲート駆動部17及びデータ駆動部19へ供給する。そして、ゲート駆動部17及びデータ駆動部19は、コントローラ11から供給された制御信号に応じて液晶パネル21へ画像を表示する。

【0039】ここで、上記のような構成を有する本発明の実施の形態1に係る液晶表示装置においては、データ信号（表示データ）のレベルの違いに応じてセットアップ時間及びホールド時間を補正する回路がコントローラ11に備えられる。以下において、このような回路について説明する。

【0040】セットアップ時間及びホールド時間を補正するには、コントローラ11の出力部でデータ信号又はクロック信号を遅延させる方法が容易である。ここで、補正が必要なパターンは、コントローラ11へ入力されたデータ信号より検出する。この場合、クロック信号に同期して変化するデータについて1クロックおきにデータが変化する信号と、数クロック同じデータが続いてからデータが変化する信号の数を比較し、どちらが多いかを検出する。

【0041】具体的には、3クロック期間分のデータ信号を、H-L-HあるいはL-H-Lと1クロック毎に

データが変化する第一のパターン、L-L-HあるいはH-H-Lと2クロック期間同一データが続いて変化する第二のパターン、L-L-LあるいはH-H-H、H-L-L、L-H-Hと該当するクロック信号に応じた変化をしない第三のパターンの3つに分類し、以下のようにより上記第一のパターンを持ったデータ信号又はクロック信号を遅延させる。

【0042】まず、上記第一のパターンを持ったデータ信号がハイレベル又はロウレベルに達しないためホールド時間が足りなくなる場合(ケース(a))は、該データ信号を所定時間遅延させることによりホールド時間を補正する。

【0043】一方、上記第一のパターンを持ったデータ信号がハイレベル又はロウレベルを超えるためセットアップ時間が足りなくなる場合(ケース(b))には、第一のパターンを持ったデータ信号の数が上記第二のパターンを持ったデータ信号の数以上であるか否かに応じてクロック信号及び第二のパターンを持ったデータ信号を遅延させ、第一のパターンを持ったデータ信号のセットアップ時間を補正する。なおこの際、第二のパターンを持ったデータ信号とクロック信号の遅延量は同じものとされる。

【0044】また、クロック信号の周波数が変化した場合、第一のパターンを持ったデータ信号は、その波形がケース(a)に当てはまるかケース(b)に当てはまり、あるいはちょうどHまたはLレベルに到達する。そこで、コントローラ11は、検出されたクロック信号の周波数が予め区分けされた周波数領域のいずれに属するかに応じて、上記ケース(a)またはケース(b)、あるいはいずれでもない場合が生じていることを識別し、ホールド時間やセットアップ時間を補正する。以下において、具体的に説明する。

【0045】図8は、図7に示されたコントローラ11に含まれたコントローラ内部回路23の構成を示すブロック図である。図8に示されるように、コントローラ内部回路23はデータタイプ検出回路25a~25cとクロック周波数検出回路27、ディレイモード選択回路29、及びディレイ選択回路31a~31dを備える。

【0046】ここで、データタイプ検出回路25a~25cには信号CLEAR及び対応するデータ信号ID00~IDXXが供給され、データタイプ検出回路25a~25cとクロック周波数検出回路27にはクロック信号ICLKが供給される。また、クロック周波数検出回路27はダミークロック信号IDMYCKと信号CLR及び信号FEが供給される。

【0047】また、ディレイモード選択回路29はデータタイプ検出回路25a~25cとクロック周波数検出回路27に接続され、ディレイ選択回路31a~31dはそれぞれディレイモード選択回路29に接続される。そして、ディレイ選択回路31a~31cはそれぞれ対応するデータ信号ID00~IDXXが供給され、対応するデータ

信号ID00~IDXXを出力する。また、ディレイ選択回路31dはクロック信号ICLKが供給され、クロック信号OCCLKを出力する。

【0048】図9は、図8に示されたデータタイプ検出回路25aの構成を示す回路図である。なお、図8に示されたデータタイプ検出回路25b~25cは、共に図9に示されたデータタイプ検出回路25aと同様な構成を有する。図8に示されるように、データタイプ検出回路25aは、ディレイフリップフロップ(DFF)33~35と排他的OR回路36~38、AND回路39、40、排他的NOR回路41、42を含む。

【0049】ここで、DFF33~35は直列接続され、DFF33のD端子にはデータ信号ID00が、CLK端子にはクロック信号ICLKが供給され、CLR端子にはリセット動作を実行するための信号CLEARが供給される。また、排他的OR回路36にはDFF33の出力信号とDFF34の出力信号が供給され、排他的OR回路37にはDFF34の出力信号とDFF35の出力信号が供給される。また、排他的OR回路38にはDFF33の出力信号とDFF34の出力信号が供給され、排他的NOR回路41にはDFF34の出力信号とDFF35の出力信号が供給される。そして、排他的NOR回路42はDFF33の出力信号とDFF34の出力信号が供給され、データタイプ検出信号DTP3を出力する。

【0050】また、AND回路39は排他的OR回路36、37に接続されデータタイプ検出信号DTP1を出力し、AND回路40は排他的OR回路38と排他的NOR回路41に接続されデータタイプ検出信号DTP2を出力する。

【0051】上記のような構成を有するデータタイプ検出回路25aでは、供給されるデータ信号ID00がH-L-H、またはL-H-Lと1クロック毎に変化する場合にはデータタイプ検出信号DTP1がハイレベルに遷移し、供給されるデータ信号ID00がH-H-L、またはL-L-Hと2クロック以上同一データが連続し、その後に変化している場合にはデータタイプ検出信号DTP2がハイレベルに遷移し、供給されるデータ信号ID00が変化していない場合にはデータタイプ検出信号DTP3がハイレベルに遷移する。

【0052】図10は、図8に示されたクロック周波数検出回路27の構成を示す回路図である。図10に示されるように、クロック周波数検出回路27はカウンタ43、44と反転回路45、46、99、100、AND回路47、48、101、及びJKフリップフロップ(JKFF)49、50を含む。

【0053】ここで、カウンタ43、44は、LD端子にダミークロック信号IDMYCKが供給され、CLR端子にはフレーム毎に初期状態に戻すための信号CLRが供給され、CLK端子にクロック信号ICLKが供給される。ここで、ダミークロック信号IDMYCKは、抵抗やコンデンサと

シュミットトリガを含む発振回路が例えば2MHzの周波数で発振することにより生成される。

【0054】また、カウンタ44のCIN端子はカウンタ43のCT端子に接続される。一方、AND回路47はカウンタ43のQD端子及びQD端子と、カウンタ44のQA端子及びQB端子に接続される。また、反転回路45はカウンタ43のQD端子に接続され、反転回路46はカウンタ43のQD端子に接続される。そして、AND回路48はカウンタ43のQB端子及び反転回路45と、カウンタ44のQA端子及びQB端子と反転回路46に接続される。

【0055】また、JKFF49はそのJ端子がAND回路47に接続され、CLK端子にクロック信号ICLKが供給され、CLR端子に信号CLRが供給され、フレームランニング期間に1クロック期間活性化されるパルス状の信号FEがK端子へ供給され、PRN端子に電源電圧VCCが供給され、Q端子から信号S1を出力する。同様に、JKFF50はそのJ端子がAND回路48に接続され、CLK端子にクロック信号ICLKが供給され、CLR端子に信号CLRが供給され、K端子に信号FEが供給され、PRN端子に電源電圧VCCが供給され、Q端子から信号S2を出力する。

【0056】また、反転回路99はJKFF49のQ端子に接続され、AND回路101は反転回路99とJKFF50のQ端子に接続される。そして、AND回路101は信号S3を出力する。また、反転回路100はJKFF50のQ端子に接続され、信号S4を出力する。

【0057】上記において、カウンタ43、44は、供給されたダミークロック信号IDMYCKがハイレベルの期間（例えば1μs）におけるクロック信号ICLKのクロック数をカウントする。

【0058】従って、クロック周波数検出回路27は供給されるデータ信号ID00～IDxxが、1クロックおきに変化してハイレベルまたはロウレベルに達しないケース

(a)となるか、ハイレベルまたはロウレベルを超えるケース(b)となるかを判別する。そして、周波数が高い場合は信号S1が活性化されてケース(a)と判別され、周波数が低い場合は信号S4が活性化されてケース(b)と判別される。なお、図8に示されたコントローラ内部回路23にクロック周波数検出回路27を設けることなく、ディレイモード選択回路29へ外部から直接上記ケース(a)またはケース(b)を識別する信号を供給するようにしてもよい。また、周波数の該判定結果はフレーム毎に更新される。

【0059】図11は、図8に示されたディレイモード選択回路29に含まれたディレイモード選択回路ユニット29uの構成を示す回路図である。なお、図8に示されたディレイモード選択回路29は、データタイプ検出回路25a～25cにおいて生成される各データタイプ検出信号DOTP1、DOTP2、DOTP3に対応して、同じ構成を有するディレイモード選択回路ユニット29uを3つ含む。

【0060】図11に示されるように、ディレイモード選択回路ユニット29uは、AND回路51、52と反転回路53を含む。ここで、AND回路51にはデータタイプ検出信号DOTP1と信号S1が供給され、反転回路53にはデータタイプ検出信号DOTP1が供給される。また、AND回路52は反転回路53に接続されると共に、信号S4を入力する。

【0061】このような構成を有するディレイモード選択回路ユニット29uを含むディレイモード選択回路29は、データタイプ検出回路25a～25cにより判別されたデータのパターンとクロック周波数検出回路27により判別された周波数に応じて、どのデータ信号あるいはクロック信号を遅延させるかを判別し選択信号DL00を出力する。

【0062】図12は、図8に示されたディレイ選択回路31aの構成を示す回路図である。なお、図8に示されたディレイ選択回路31b～31dは、共に図12に示されたディレイ選択回路31aと同様な構成を有する。

【0063】図12に示されるように、ディレイ選択回路31aは、遅延バッファ55とマルチプレクサ57を含む。そして、遅延バッファ55にはデータ信号ID00が供給され、マルチプレクサ57のA端子は遅延バッファ55に接続される。また、マルチプレクサ57はS端子から選択信号DL00を入力し、B端子からデータ信号ID00を入力し、Y端子から信号OD00を出力する。

【0064】上記のような構成を有するディレイ選択回路31aは、ディレイモード選択回路29で生成された選択信号DL00に応じてデータ信号ID00を遅延させる。なお、ディレイ選択回路31dは、ディレイモード選択回路29で生成された選択信号に応じてクロック信号ICLKを遅延させ、クロック信号OCLKを出力する。

【0065】従って、ディレイ選択回路31aは、クロック周波数に応じて遅延させる信号を選択することになる。ここで具体的には、ディレイ選択回路31a～31dは、例えばクロック周波数が60MHz以上の場合には第一のパターンを持ったデータ信号のみを遅延させ、クロック周波数が50MHz未満の場合には第一のパターン以外のパターンを有するデータ信号とクロック信号を遅延させ、クロック周波数が50～60MHzである場合には適切な周波数であるとしていずれの信号も遅延させないこととする。

【0066】以下において、入力されるクロック信号の周波数が54MHz、67.5MHz又は43MHzである場合を例にとり具体的に説明する。ここで、1クロック毎に論理レベルが切り替わるパターンを有するデータの典型例が図14に示される。図14(a)は2ピクセル縦縞パターンを示し、図14(b)は2ピクセル市松パターンを示す。

【0067】そして、ここでは該データの波形は、クロ

ック周波数が54MHzのときちょうど該振幅の最大及び最小がそれぞれHレベル（電源電圧レベル）及びLレベル（接地電圧レベル）に達するように調整されたとする。このとき、クロック周波数が67.5MHzであると、振幅の最大及び最小がそれぞれ電源電圧レベル及び接地電圧レベルに達しないこととなり上記ケース（a）となる。

【0068】一方、図10に示されたクロック周波数検出回路27へ周波数が2MHzでデューティ比が50%のダミークロック信号IDMYCKが供給され、クロック信号ICLKの周波数が54MHzであれば、信号S1はロウレベル、信号S2はハイレベルとなり信号S3はハイレベルとなる。そして、この場合にはデータ信号及びクロック信号のいずれも遅延させることなくそのままのタイミングで出力させる。

【0069】次に、入力されるクロック信号の周波数が67MHzであれば、上記信号S1のみがハイレベルとなる。このとき、図12に示されたディレイ選択回路はデータ信号ID00~IDXXにおいて第一のパターンを持ったデータ信号を遅延させ、該データ信号ID00~IDXXとクロック信号ICLKとの位相を図13に示されるような関係とする。すなわち、図13に示される位相関係においては、時刻T1から時刻T2までがロウデータのホールド時間HTとされ、時刻T3から時刻T4までがハイデータのセットアップ時間STとされる。なお、この場合には1クロックおきにデータが変わるパターン①と、数クロック同じデータが続いてからデータが変わるパターン②との双方において、上記ホールド時間HTおよびセットアップ時間STは一致したものとされる。

【0070】従って、上記ホールド時間HT及びセットアップ時間STをそれぞれ、該タイミング補正を行わない場合におけるホールド時間HT1及びセットアップ時間ST1より大きくすることができる。

【0071】また、クロック周波数が43MHzの場合には、上記信号S1、S2がロウレベルで信号S4がハイレベルとなる。そして、このときは上記ケース（b）に相当するため、図12に示されたディレイ選択回路はデータ信号ID00~IDXXにおいて第一のパターンを持たないデータ信号とクロック信号を、第一のパターンを持った該データと同じ位相となるように同じ時間遅延させる。

【0072】以上より、上記のようなコントローラ内部回路23を備えた本発明の実施の形態1に係る液晶表示装置によれば、54MHzや67.5MHzあるいは43MHzといった異なるクロック周波数に対して、クロック信号やデータ信号を選択的に遅延させることにより、セットアップ時間やホールド時間を最適値とすることができるため、クロック周波数によらずデータを確実に取り込み、信頼性の高い画像表示を実現することができる。

【0073】次に、図7に示されたデータ駆動部19に

ついて説明する。図15は、データ駆動部19を構成するドライバに含まれたドライバ内部回路59の構成を示す図である。図15に示されるように、本実施の形態1に係るドライバ内部回路59は、図4に示されたドライバ内部回路10と同様な構成を有するが、外部から供給される選択信号により切り替えられるアナログのスイッチSW1~SW4をさらに備える点で相違するものである。

【0074】ここで例えば、スイッチSW1の一端には外部基準電圧V2が供給され、他の第一端は分割抵抗R1と分割抵抗R2の中間ノードに接続され、他の第二端は分割抵抗R2と分割抵抗R3の中間ノードに接続される。従って、選択信号に応じて外部基準電圧V2が上記他の第一端または第二端へ供給される。

【0075】また、スイッチSW2の一端には外部基準電圧V5が供給され、他の第一端は分割抵抗R5と分割抵抗R6の中間ノードに接続され、他の第二端は分割抵抗R6と分割抵抗R7の中間ノードに接続される。同様に、スイッチSW3の一端には外部基準電圧V8が供給され、他の第一端は分割抵抗R8と分割抵抗R9の中間ノードに接続され、他の第二端は分割抵抗R9と分割抵抗R10の中間ノードに接続される。そして、スイッチSW4の一端には外部基準電圧V11が供給され、他の第一端は分割抵抗R12と分割抵抗R13の中間ノードに接続され、他の第二端は分割抵抗R13と分割抵抗R14の中間ノードに接続される。

【0076】ここで、上記スイッチSW1~SW4の動作は、以下の表1に整理される。

【0077】

【表1】

選択信号	SW1	SW2	SW3	SW4
	V2	V5	V8	V11
H	V2D	V6D	V10D	V14D
L	V3D	V7D	V11D	V16D

すなわち、上記表1に示されるように、例えばスイッチSW1はハイレベル（H）の選択信号が供給された場合には、外部基準電圧V2を基準階調電圧V2Dを有するノードへ供給し、ロウレベル（L）の選択信号が供給された場合には、外部基準電圧V2を基準階調電圧V3Dを有するノードへ供給する。

【0078】なお、図15に示された外部基準電圧V1~V12は、階調電圧を補正するために外部から供給する電圧であり、これらの電圧と分割抵抗R1~R14に応じて基準階調電圧V1D~V16Dが生成される。また、分割抵抗R1~R14はさらに必要な階調レベル数に細分割されることにより、階調レベルに応じた数の基準電圧が生成され、D/Aコンバータ7に供給される。

【0079】図16は、図15に示されたドライバ内部

回路59の作用を説明する図であり、液晶パネルの電圧-透過率特性を示す。ここで、図16(a)及び図16(b)はそれぞれ異なる特性を示し、図16(a)のグラフにおいては基準階調電圧V2D、V7D近傍でそれぞれ非直線的となっている。従って、このような場合には基準階調電圧V2D、V7Dを補正する必要がある。

【0080】また同様に、図16(b)のグラフにおいては基準階調電圧V3D、V6D近傍でそれぞれ非直線的となっているため、基準階調電圧V3D、V6Dを調整する必要がある。従って、本実施の形態1に係るドライバ内部回路59は、液晶パネル21の特性によって補正対象とする基準階調電圧を切り替えることにより、液晶パネル21の特性が変化した場合であっても常に最適な中間レベルの階調電圧をD/Aコンバータ7へ供給することができる。

【0081】図17は、図15に示されたドライバ内部回路59を含むデータドライバを備えたデータ駆動部19の構成を示すブロック図である。図17に示されるように、データ駆動部19は第一データドライバD1から第nデータドライバDnまでのn個のデータドライバを含み、各データドライバにはデータ信号DATAとクロック信号CLK、ラッチ信号LP、外部基準電圧V1~V12からなる電圧Vref、及び選択信号IVrefが供給される。ここで、選択信号IVrefの論理レベルを外部において切り替えることにより、上記のようにスイッチSW1~SW4が制御され、データドライバ内部における階調レベルが選択される。

【0082】なお、上記データ信号DATAとクロック信号CLK、ラッチ信号LP、及び選択信号IVrefはコントローラ11により生成され、外部基準電圧V1~V12からなる電圧Vrefは基準電圧作成部13により生成される。

【0083】ここで、上記データ駆動部19の代わりに、図18に示されたデータ駆動部19aとすることができる。すなわち、データ駆動部19aは第一データドライバDd1から第nデータドライバDdnまでのn個のデータドライバを含み、各データドライバにはコントローラ11からさらに信号LVrefが供給される。そして、各データドライバは、供給された信号LVrefがハイレベルとなった場合にデータ信号DATAから選択データを取り込み、該選択データを上記電圧Vrefとして用いることによって複雑な画像特性の切り替えを実現できる。なお、該切り替えは動作中において実行してもよい。

【0084】図19は図7に示されたコントローラ11の構成を示す図である。図19に示されるように、コントローラ11はデータバッファ61とVrefバッファ62、データセクタ63、ライトパルス作成部64、ドライバタイミング信号作成部65、及びAND回路66を備える。そして、データセクタ63はデータバッファ61とVrefバッファ62及びAND回路66に接続され、AND回路66はライトパルス作成部64とドライ

バタイミング信号作成部65に接続される。また、ドライバタイミング信号作成部65はライトパルス作成部64に接続される。

【0085】以下において、上記のような構成を有するコントローラ11の動作を図20のタイミングチャートを参照しつつ説明する。まず、図20(a)に示されるように、時刻T1においてライトパルス作成部64に供給される信号VrefWRが活性化されると、図20(b)に示されるように、ライトパルス作成部64は時刻T1からハイレベルの信号Scを出力する。なお、信号Scは、液晶パネル21に表示するデータの帰線期間が終わり、ドライバタイミング信号作成部65から信号Resが供給される時刻T3においてロウレベルに遷移される。

【0086】また、ドライバタイミング信号作成部65は、図20(c)に示される該帰線期間を示す信号SdをAND回路66へ供給する。これより、図20(d)に示されるように、時刻T2と時刻T3の間においてAND回路66からハイレベルの信号LVrefがデータセクタ63に供給される。

【0087】ここで、データ信号DATAはデータバッファ61を通り信号Saとしてデータセクタ63へ供給される。また、基準電圧を選択するための選択信号VREF1~VREF3はVrefバッファ62を通り信号Sbとしてデータセクタ63へ供給される。そして、データセクタ63はAND回路66から供給される上記信号LVrefにより制御され、信号LVrefがロウレベルのときは信号Saを、ハイレベルのときは信号Sbを選択してデータバスへ出力する。

【0088】従って、データセクタ63は、信号LVrefがハイレベルとなる時刻T2から時刻T3までの間において、図20(e)に示される選択データをデータバスへ供給する。これより上記のように、図18に示された各データドライバは、供給されたハイレベルの信号LVrefに応じて該選択データを取り込むことができる。

【0089】以上より、本実施の形態1に係る液晶表示装置によれば、表示画像の階調-輝度特性を容易に切り換えることができるため、少ない数の補正基準電圧を入力することによっても液晶パネル21に応じた最適な内部階調レベルを実現することができ、高品質な画像を表示することができる。[実施の形態2]図21は、本発明の実施の形態2に係る液晶表示装置の構成を示す図である。図21に示されるように、本実施の形態2に係る液晶表示装置は、図1に示された従来の液晶表示装置と同様な構成を有するが、タイミングコントローラ72が形成された制御回路基板71と、液晶駆動回路M1a~M10aが形成されたデータ基板67について相違するものである。

【0090】本実施の形態2に係る液晶表示装置は、タイミングコントローラ72から各液晶駆動回路M1a~M10aへクロック信号が伝送される際に生じる遅延に

起因したタイミングエラーをなくすため、配置される位置に応じて異なる遅延時間が予め設定された液晶駆動回路M1a～M10aを備えるものである。

【0091】すなわち、例えばクロック信号CLKとデータ信号DATAが図2(b)に示された位相関係にあるときは、液晶駆動回路M5aで時間D1だけデータ信号DATAを遅延させ、図2(c)に示された位相関係にあるときは、液晶駆動回路M10aで時間D2だけデータ信号DATAを遅延させるよう予め遅延時間を補正しておく。これにより、液晶駆動回路M5a、M10aにおけるセットアップ時間ST及びホールド時間HTを、図2(a)に示された液晶駆動回路M1aと等しくすることができ、各液晶駆動回路M1a、M5a、M10aにおいて同一のタイミングでデータ信号DATAをラッチすることができる。

【0092】また、上記遅延時間は、液晶駆動回路M1a～M10aが配置された後にデータ基板67上で設定できるようにしてもよく、あるいはタイミングコントローラ72から出力される配置位置を示す信号を受けとることによって各液晶駆動回路M1a～M10aが遅延時間を補正するようにしてもよい。

【0093】また、タイミングコントローラ72が各液晶駆動回路M1a～M10aへモニタ用データ信号を伝送し、各液晶駆動回路M1a～M10aは入力されるクロック信号と該モニタ用データ信号との間における位相差を算出することにより、自動的に遅延量を補正するようにしてもよい。

【0094】ここで、図22(a)は、液晶駆動回路M1aにおいて、クロック信号CLKがロウレベルからハイレベルへ遷移する(立ち上がる)時刻T1に立ち上がるよう、上記モニタ用データ信号DATAmを同期させた場合を示すタイミングチャートである。また、図22(b)は、液晶駆動回路M5aにおける上記モニタ用データ信号DATAmとクロック信号CLKとの位相関係を示すタイミングチャートであり、図22(a)に示された液晶駆動回路M1aの場合に比してクロック信号CLKが伝送に起因して時間D3だけ遅延され、立ち上がりタイミングが時刻T2となることが示される。なお、上記モニタ用データ信号DATAmは、一水平周期につき一度ハイレベルとなるパルス信号とされる。

【0095】そして、上記のように各液晶駆動回路M1a～M10aは、モニタ用データ信号DATAmと入力されるクロック信号CLKの両立ち上がりタイミングを比較することによってクロック信号CLKの遅延時間を算出し、算出された該遅延時間に応じてデータ信号DATAの取り込みタイミングを補正する。

【0096】以下において、より具体的に説明する。図23は、図21に示された各液晶駆動回路M1a～M10aに含まれる遅延回路の構成を示す図である。図23に示されるように、この遅延回路は直列接続されたセレ

クタSL1～SL3と遅延素子Y1～Y3を含む。ここで、遅延素子Y1～Y3はそれぞれA端子へ供給される信号を遅延させB端子へ供給する遅延素子であり、遅延素子Y1は入力された信号を1ns遅延させ、遅延素子Y2は入力された信号を2ns遅延させ、遅延素子Y3は入力された信号を4ns遅延させる。

【0097】また、セクタSL1～SL3の各S端子にはそれぞれ遅延時間選択信号DL1～DL3が供給される。そして、この遅延時間選択信号DL1～DL3がハイレベルとされたときセクタSL1～SL3はB端子からデータ信号を入力し、ロウレベルとされたときセクタSL1～SL3はA端子からデータ信号を入力する。

【0098】ここで、例えば図24(a)から図24(c)に示されるように、液晶駆動回路M1aと液晶駆動回路M5aとの間におけるクロック信号CLKの遅延時間は2nsであり、液晶駆動回路M1aと液晶駆動回路M10aとの間におけるクロック信号CLKの遅延時間は4nsとする。

【0099】このとき、液晶駆動回路M5aに含まれた上記遅延回路へ遅延時間選択信号DL1～DL3として(L, H, L)の論理レベルを持った信号を供給することにより、セクタSL2のみがB端子からデータ信号を入力する。従って、上記のようにセクタSL2は遅延素子Y2において該データ信号を2ns遅延させるため、クロック信号CLKとデータ信号DATAを図24(a)に示された位相関係とすることができる。

【0100】また同様に、液晶駆動回路M10aに含まれた上記遅延回路へ遅延時間選択信号DL1～DL3として(L, L, H)の論理レベルを持った信号を供給することにより、セクタSL3のみがB端子からデータ信号を入力する。従って、上記のようにセクタSL3は遅延素子Y3において該データ信号を4ns遅延させるため、クロック信号CLKとデータ信号DATAを図24(a)に示された位相関係とすることができる。

【0101】ここで、上記のような遅延時間選択信号DL1～DL3は、図21に示されたタイミングコントローラ72において生成し、あるいはデータ基板67上で選択設定することにより、該遅延回路へ供給することができる。以下において、より具体的に説明する。

【0102】図25は、図21に示された制御回路基板71と液晶駆動回路M1a～M3aの構成を示す図である。図25に示されるように、制御回路基板71上にはカウンタC1～C3と信号発生器73及び基準クロック発生器75が設けられる。ここで、信号発生器73はクロック信号CLKと同じ周波数のパルス波を発生し、基準クロック発生器75は遅延時間を算出するために使用する基準クロック信号を発生する。また、カウンタC1～C3は液晶駆動回路M1a～M3aの個数と同じ数だけ設けられ、それぞれ信号発生器73と基準クロック発生

器75に接続される。

【0103】一方、図25に示されるように、各液晶駆動回路M1a～M3aには図23に示された上記遅延回路の他に遅延時間を制御する遅延制御部DC1～DC3が内設され、各遅延制御部DC1～DC3はセクタSL1～SL3に接続されると共に、信号発生器73とカウンタC1～C3に接続される。

【0104】上記のような構成を有する液晶表示装置においては、まず信号発生器73で発生されたパルス波が各液晶駆動回路M1a～M3aに含まれた遅延制御部DC1～DC3へ伝送される。そして、図26に示されるように、各遅延制御部DC1～DC3は供給されたパルス波Pinをそのままパルス波PoutとしてカウンタC1～C3へ出力する。なお、このようなパルス波Poutの伝送はいわゆる反射に似た現象であることから以下においては「反射」と指称する。

【0105】すると、制御回路基板71に形成されたカウンタC1～C3はそれぞれ、該反射により供給されたパルス波Poutの最初の立ち上がりを検出すると共に、該検出タイミングと信号発生器73で発生された第一番目のパルス波の立ち上がりタイミングとの間において基準クロック発生器75から供給された基準クロック信号のパルス数をカウントする。そして、カウンタC1～C3は該カウント数に応じて、それぞれ遅延時間選択信号DL1～DL3として使用される信号Sc1～Sc3を対応する遅延制御部DC1～DC3へ伝送し、各遅延制御部DC1～DC3は供給された信号Sc1～Sc3（遅延時間選択信号DL1～DL3）をセクタSL1～SL3へ供給する。

【0106】ここで例えば、カウンタC1へ信号発生器73から図27(a)に示される発生パルスが供給され、かつ基準クロック発生器75から図27(b)に示される基準クロック信号が供給される場合において、遅延制御部DC1から図27(c)に示されたパルス波Poutが供給された場合には、カウンタC1はパルス波Poutの発生パルスに対する遅延時間Ta内で基準クロック信号の立ち上がりが5回生じていることをカウントする。従って、この場合にはカウンタC1は該カウント数に応じて上記信号Sc1を生成し、遅延制御部DC1は信号Sc1として供給された(H, L, H)の論理レベルを持つ遅延時間選択信号DL1～DL3をセクタSL1～SL3へ供給する。

【0107】なお同様に、各遅延制御部DC1～DC3へ上記信号Sc1～Sc3の代わりに各液晶駆動回路M1a～M10aが配設された位置を示す位置情報を供給し、遅延制御部DC1～DC3は供給された該位置情報に応じて上記遅延時間選択信号DL1～DL3を生成してセクタSL1～SL3へ供給するようにすることもできる。

【0108】また、本発明の実施の形態2に係る液晶駆

動回路M1a～M10aは、図28に示された遅延回路を備えるようにしてもよい。すなわち、図28に示されるように、この遅延回路は、同じ構成からなる4つのセクタSL1～SL4と、遅延素子Y1～Y4とJKフリップフロップ(JKFF)77、排他的OR回路79、AND回路81、及びカウンタ83を含む。ここで、セクタSL1～SL4は直列接続され、各遅延素子Y1～Y4はそれぞれセクタSL1～SL4の端子に入力される信号を遅延させる。また、セクタSL1～SL4の各S端子は共にカウンタ83の出力ノードに接続される。なお、遅延素子Y4は入力された信号を8ns遅延させるものとされる。

【0109】一方、JKFF77のCK端子にはタイミングコントローラ72からモニタ用データ信号DATAmが供給される。また、排他的OR回路79の第一の入力ノードにはクロック信号CLKが供給され、第二の入力ノードはJKFF77のQ端子に接続される。また、AND回路81の第一の入力ノードには読み出し用クロック信号RCKが供給されると共に、第二の入力ノードは排他的OR回路79に接続される。なお、読み出し用クロック信号RCKはモニタ用データ信号DATAmと同期したクロック信号とされる。

【0110】そして、カウンタ83の第一の入力ノードにはこの読み出し用クロック信号RCKが供給されると共に、第二の入力ノードはAND回路81の出力ノードに接続される。

【0111】上記のような構成を有する遅延回路において、JKFF77のCK端子には液晶駆動回路M1aでクロック信号CLKと同期するモニタ用データ信号DATAmが供給され、J端子にはハイレベルの電源電圧が供給され、K端子にはロウレベルの接地電圧が供給される。これより、Q端子から出力される信号とクロック信号CLKを入力する排他的OR回路79からは、クロック信号CLKの遅延時間においてのみハイレベルとなる信号が出力される。そして、AND回路81はこの信号と読み出し用クロック信号RCKとの論理積を演算することにより、クロック信号CLKがハイレベルとなった時点でロウレベルに不活性化される信号S0rを生成しカウンタ83へ供給する。

【0112】これにより、カウンタ83は供給された信号S0rがハイレベルの期間において入力された読み出し用クロック信号RCKのクロック数をカウントすると共に、カウントされた数に応じて上記カウンタC1～C3と同様に遅延時間選択信号DL1～DL4を生成し、セクタSL4へ供給する。

【0113】従って、図28に示された遅延回路は、図29(a)から図29(c)に示されるように、いずれの液晶駆動回路M5a, M10aにおいてもモニタ用データ信号DATAmを基準としてクロック信号CLKの遅延時間DT1, DT2を検出し、該遅延時間DT1, DT2に応じてデータ

信号DATAを遅延させるため、クロック信号CLKとデータ信号DATAの位相関係を図29(a)に示された液晶駆動回路M1aにおける該位相関係と同じものとすることができる。

【0114】以上より、本発明の実施の形態2に係る液晶表示装置によれば、異なる位置に配設された液晶駆動回路M1a～M10aへ供給されるデータ信号DATAとクロック信号CLKの位相のずれを補正することができるため、各液晶駆動回路M1a～M10aにおいて同一のタイミングでデータ信号DATAをラッチし、所望のセットアップ時間及びホールド時間を得ることができる。これより、該データ信号DATAに応じた画像を表示部6へ確実に表示することができる。

【実施の形態3】本発明の実施の形態3に係る液晶表示装置は、上記実施の形態1及び2に係る液晶表示装置と同様な構成を有するが、後述するデータ駆動部が上記実施の形態1に係るコントローラ11あるいは実施の形態2に係るタイミングコントローラ72により生成される各種の制御信号をすべて、外部から供給されるイネーブル信号等に基づいて作成することにより、該コントローラ11やタイミングコントローラ72を不要とするものである。

【0115】図30は、本発明の実施の形態3に係るデータ駆動部19cの構成を示すブロック図である。図30に示されるように、データ駆動部19cは並設された第一データドライバd1と第二データドライバd2、第三データドライバd3及び第nデータドライバdnを含む。そして、各データドライバへはデータ信号DATAとクロック信号CLK、イネーブル信号ENAB、及び基準電源電圧が例えばパーソナルコンピュータ(PC)等の外部装置から供給される。

【0116】ここでイネーブル信号ENABは、液晶表示装置に入力されたデータ信号のうち有効表示データすなわち液晶パネルへ実際に表示するデータを指定する信号であり、基準電源電圧は液晶表示装置の外部から供給された電圧が液晶駆動用にレベルシフトされることにより生成されると共に、液晶駆動波形を生成するために使用される電圧である。

【0117】図31は、図30に示されたデータ駆動部19cへ供給される各信号を示すタイミングチャートである。ここで、各データドライバは、図31(a)に示されたクロック信号CLKの論理レベルがハイレベル(H)からロウレベル(L)へ遷移するいわゆる立ち下がりタイミング(立ち下がりエッジ)において、図31(b)に示されたデータ信号DATAを取り込む。なお、上記クロック信号CLKとデータ信号DATAとの位相関係は、両信号を供給する上記PC等の外部装置により一定の関係に保持される。

【0118】また、図31(c)に示されるように、イネーブル信号ENABは時刻T1から時刻T2の間において

ハイレベルとなり、該期間が表示データ有効期間すなわち液晶表示装置に入力されたデータ信号DATAのうち液晶パネルへ実際に表示するデータ部分を示す。

【0119】ここで、各データドライバは、上記クロック信号CLKとデータ信号DATA及びイネーブル信号ENABに応じて、図32(a)に示されたラッチ信号LPや図32(b)に示された交流駆動信号POLを生成する。なお、上記ラッチ信号LPは、一般に各データドライバへ入力されたデータ信号DATAをラッチするシフトレジスタへ書き込まれたデータ信号DATAを液晶パネルに出力するための出力用のラッチ回路へ移行する際のスイッチングを制御する信号であり、交流駆動信号POLは液晶パネルに供給する液晶駆動電圧を交流制御するためレベルシフト回路(図示していない)へ供給される信号である。

【0120】これにより、液晶表示装置に外部から供給されるクロック信号CLKとデータ信号DATA及びイネーブル信号ENABをそのまま直接各データドライバへ供給することができる。以下において、より具体的に説明する。

【0121】図33は、図30に示された各データドライバに含まれ、上記ラッチ信号LP及び交流駆動信号POLを生成する制御信号生成回路を示す図である。図33に示されるように、この制御信号生成回路は反転回路85とディレイフリップフロップ(DF F)86～88、AND回路89、バイナリーカウンタ91、第一デコーダ92、第二デコーダ93、及びJKフリップフロップ(J K F F)94を含む。

【0122】ここで、DF F 86には反転回路85により反転されたイネーブル信号ENABとデータ信号DATA及びクロック信号CLKが供給され、DF F 87には反転回路85により反転されたイネーブル信号ENABとクロック信号CLKが供給され、AND回路89の二つの入力ノードはそれぞれDF F 86のQ端子とDF F 87のQ端子に接続される。

【0123】また、DF F 88とバイナリーカウンタ91はAND回路89の出力ノードに接続される。そして、DF F 88のQ端子と入力端子が接続され、Q端子からは交流駆動信号POLが出力される。

【0124】一方、バイナリーカウンタ91とJ K F F 94にはクロック信号CLKが供給されると共に、第一デコーダ92及び第二デコーダ93は共にバイナリーカウンタ91に接続される。また、J K F F 94は第一デコーダ92及び第二デコーダ93に接続され、ラッチ信号LPを出力する。

【0125】なお、上記反転回路85とDF F 86、87及びAND回路89は、イネーブル信号ENABがハイレベルからロウレベルへ遷移するタイミング(いわゆる立ち下がりエッジ)を検出する回路を構成する。

【0126】ここで、バイナリーカウンタ91はAND回路89から供給された信号に応じて動作を開始すると共に、生成したカウント信号を第一及び第二デコーダ9

10

20

30

40

50

2, 93へ供給する。そして、第一及び第二デコーダ92, 93は供給されたカウント信号をデコードし、JKFF94へ供給する。

【0127】また、本実施の形態3に係るデータ駆動部は、図34に示されたドライバ回路103を備えたものとしてすることができる。ここで、図34に示されるように、ドライバ回路103は直列接続されたフリップフロップ(FF)95~98を含む。そして、各FF95~98にはクロック信号CLKが供給されると共に、各EN端子にはイネーブル信号ENABが供給される。また、FF95にはデータ信号DATAが供給される。

【0128】このような構成を有するドライバ回路103は、イネーブル信号ENABがハイレベルのときに各FF95~98がデータ信号DATAを順次取り込み、各FF95~98の出力ノードから液晶パネル21へ該データ信号DATAを供給する。従って、上記のようなドライバ回路103をデータ駆動部に備えることにより、データ取り込みタイミングを決定するため従来の液晶表示装置におけるデータドライバへ供給されていたデータスタート信号は不要となる。

【0129】以上より、本発明の実施の形態3に係る液晶表示装置によれば、従来のデータドライバへ供給されていた上記データスタート信号とラッチ信号LP及び交流駆動信号POLが不要となり、イネーブル信号ENABのみをデータドライバへ供給すれば足りることとなる。

【0130】従って、該イネーブル信号ENAB等に応じて上記データスタート信号等の制御信号を生成するコントローラ(タイミングコントローラ)が不要とされるため、パーソナルコンピュータ(PC)等からクロック信号CLKとデータ信号DATA及びイネーブル信号ENABをデータ駆動部へ直接供給することにより液晶パネルへの画像表示を実行することができ、回路規模及びコストが低減された液晶表示装置を提供することができる。

(付記1) 供給されたクロック信号に応じて画像表示データを取り込むと共に、前記画像表示データに応じて液晶表示手段に画像を表示させるデータ駆動手段を含む液晶表示装置であって、前記画像表示データの変化パターンを検出し、検出された前記変化パターンに応じて前記クロック信号と前記画像表示データとの位相関係を調整する制御手段を備えたことを特徴とする液晶表示装置。

(付記2) 前記制御手段は、前記画像表示データの変化パターンを検出するパターン検出手段と、前記パターン検出手段により検出された前記変化パターンに応じて、前記クロック信号と前記画像表示データとの位相関係を調整する位相調整手段とを含む付記1に記載の液晶表示装置。

(付記3) 前記パターン検出手段は、前記クロック信号の3クロック期間分の前記画像表示データを前記変化パターンの検出対象とする付記2に記載の液晶表示装置。

(付記4) 前記位相調整手段は、前記クロック信号の1

クロック毎に論理レベルが変化する前記画像表示データのみを遅延させる付記2に記載の液晶表示装置。

(付記5) 前記位相調整手段は、前記クロック信号を遅延させる付記2に記載の液晶表示装置。

(付記6) 前記クロック信号の周波数を検出する周波数検出手段をさらに備え、前記位相調整手段は、前記パターン検出手段により検出された前記変化パターンと前記周波数検出手段により検出された前記周波数に応じて、前記クロック信号と前記画像表示データとの位相関係を調整する付記2に記載の液晶表示装置。

(付記7) 供給された基準電圧に応じて生成された階調電圧を有する複数の階調電圧ノードを有し、前記階調電圧に応じて液晶表示手段に画像を表示させるデータ駆動手段を含む液晶表示装置であって、供給された第一の制御信号に応じて前記基準電圧の供給先とする前記階調電圧ノードを選択する選択手段を備えたことを特徴とする液晶表示装置。

(付記8) 前記選択手段は前記データ駆動手段に内蔵され、前記基準電圧は前記データ駆動手段の外部から供給される付記7に記載の液晶表示装置。

(付記9) 前記データ駆動手段は、供給される第二の制御信号に応じて、前記データ駆動手段へ転送されたデータ信号を前記基準電圧として取り込む付記7に記載の液晶表示装置。

(付記10) クロック信号と同期して供給された画像表示データに応じて液晶表示手段へ画像を表示させる複数のデータ駆動手段と、前記複数のデータ駆動手段へ前記クロック信号及び前記画像表示データを供給する制御手段とを含む液晶表示装置であって、前記複数のデータ駆動手段の各々に内蔵され、前記制御手段から供給された前記クロック信号と前記画像表示データとを所定の位相関係とするタイミング補正手段を備えたことを特徴とする液晶表示装置。

(付記11) 前記制御手段は、前記データ駆動手段への信号伝送時間を検出し、検出された前記信号伝送時間に応じて補正信号を生成して前記タイミング補正手段へ供給すると共に、前記タイミング補正手段は、供給された前記補正信号に応じて前記クロック信号と前記画像表示データとを所定の位相関係とする付記10に記載の液晶表示装置。

(付記12) 前記制御手段は、複数の前記タイミング補正手段へ共通のモニタ用データ信号を供給し、各々の前記タイミング補正手段は、供給された前記モニタ用データ信号と前記クロック信号との位相差を検出することによって、前記クロック信号と前記画像表示データとを所定の位相関係とする付記10に記載の液晶表示装置。

(付記13) 供給される制御信号によって、画像表示データに応じた画像を液晶表示手段へ表示させるデータ駆動手段を含む液晶表示装置であって、前記データ駆動手段に内蔵され、前記データ駆動手段の外部から供給され

る外部信号に応じて前記制御信号を生成する制御信号生成手段を備えたことを特徴とする液晶表示装置。

〔付記 14〕前記外部信号は、前記データ駆動手段が前記画像表示データを取り込むタイミングを決定するクロック信号と、前記液晶表示手段による画像表示の対象とする前記画像表示データを決定する有効表示信号である付記 13 に記載の液晶表示装置。

〔付記 15〕前記制御信号は、前記画像表示データを前記液晶表示手段へ供給するためのラッチ回路へ格納するためのラッチ信号である付記 13 に記載の液晶表示装置。

〔付記 16〕前記制御信号は、前記液晶表示手段へ供給する液晶駆動電圧を交流制御するための交流駆動信号である付記 13 に記載の液晶表示装置。

〔付記 17〕前記データ駆動手段は、前記液晶表示装置の外部から供給された電圧が前記液晶表示手段を駆動するためにレベルシフトされた電圧を用いて、前記画像表示データに応じた画像を前記液晶表示手段に表示させる付記 13 に記載の液晶表示装置。

〔付記 18〕画像を表示する液晶表示手段を含む液晶表示装置であって、供給された画像表示データの中から前記液晶表示手段による画像表示の対象とする前記画像表示データを決定する有効表示信号に応じて前記画像表示データを順次取り込み、取り込んだ前記画像表示データに対応した画像を前記液晶表示手段へ表示させるデータ駆動手段を備えたことを特徴とする液晶表示装置。

〔発明の効果〕上述の如く、本発明に係る液晶表示装置によれば、画像表示データの変化パターンによる取り込みタイミングの変動を回避することができるため、所定のセットアップ時間及びホールド時間を常に確保して、信頼性の高い画像表示を実現することができる。

〔0131〕また、本発明に係る液晶表示装置によれば、選択手段によって基準電圧の供給先を変え、階調電圧を容易に調整することができるため、質の高い液晶画像を表示することができる。

〔0132〕また、本発明に係る液晶表示装置によれば、配設される位置によらず、各データ駆動手段に供給されるクロック信号と画像表示データを容易に所定の位相関係とすることができるため、複数のデータ駆動手段におけるセットアップ時間とホールド時間を等しくすることにより、信頼性の高い画像表示を実現することができる。

〔0133〕また、本発明に係る液晶表示装置によれば、液晶表示手段に画像を表示させるための制御信号を生成する回路を別途備える必要が回避されるため、コスト及び回路規模が低減された液晶表示装置を提供することができる。

〔図面の簡単な説明〕

〔図 1〕従来の液晶表示装置の構成を示す図である。

〔図 2〕図 1 に示されたタイミングコントローラから液

晶駆動回路へ供給されるクロック信号の遅延量を比較した波形図である。

〔図 3〕従来の液晶表示装置における画像データ信号のラッチ動作を示す波形図である。

〔図 4〕従来のドライバ内部回路の構成を示す図である。

〔図 5〕図 1 に示されたデータ駆動部の構成を示す図である。

〔図 6〕図 5 に示されたデータ駆動部の動作を示すタイミングチャートである。

〔図 7〕本発明の実施の形態 1 に係る液晶表示装置の構成を示すブロック図である。

〔図 8〕図 7 に示されたコントローラに含まれたコントローラ内部回路の構成を示すブロック図である。

〔図 9〕図 8 に示されたデータタイプ検出回路の構成を示す回路図である。

〔図 10〕図 8 に示されたクロック周波数検出回路の構成を示す回路図である。

〔図 11〕図 8 に示されたディレイモード選択回路に含まれたディレイモード選択回路ユニットの構成を示す回路図である。

〔図 12〕図 8 に示されたディレイ選択回路の構成を示す回路図である。

〔図 13〕本発明の実施の形態 1 に係る液晶表示装置の動作を示す波形図である。

〔図 14〕本発明の実施の形態 1 に係る液晶表示装置の動作を説明する図である。

〔図 15〕本発明の実施の形態 1 に係るドライバ内部回路の構成を示す図である。

〔図 16〕図 15 に示されたドライバ内部回路の作用を説明する図である。

〔図 17〕図 15 に示されたドライバ内部回路を含むデータドライバを備えたデータ駆動部の構成例を示すブロック図である。

〔図 18〕図 15 に示されたドライバ内部回路を含むデータドライバを備えたデータ駆動部の他の構成例を示すブロック図である。

〔図 19〕図 7 に示されたコントローラの構成を示すブロック図である。

〔図 20〕図 18 に示されたデータ駆動部を有する液晶表示装置の動作を示すタイミングチャートである。

〔図 21〕本発明の実施の形態 2 に係る液晶表示装置の構成を示す図である。

〔図 22〕本発明の実施の形態 2 に係る液晶表示装置の動作を説明するタイミングチャートである。

〔図 23〕図 21 に示された液晶駆動回路に含まれた遅延回路の構成を示す図である。

〔図 24〕図 23 に示された遅延回路の動作を説明するタイミングチャートである。

〔図 25〕図 21 に示された制御回路基板と液晶駆動回

路の構成を示す図である。

【図26】図25に示された遅延制御部の構成を示す拡大図である。

【図27】図25に示された液晶表示装置の動作を示すタイミングチャートである。

【図28】本発明の実施の形態2に係る液晶駆動回路に含まれた遅延回路の他の構成例を示す回路図である。

【図29】図28に示された遅延回路の動作を説明するタイミングチャートである。

【図30】本発明の実施の形態3に係るデータ駆動部の構成を示すブロック図である。

【図31】図30に示されたデータ駆動部へ供給される各信号を示すタイミングチャートである。

【図32】図30に示された各データドライバにおいて生成されるラッチ信号と交流駆動信号を示すタイミングチャートである。

【図33】図32に示されたラッチ信号と交流駆動信号を生成する制御信号生成回路を示す図である。

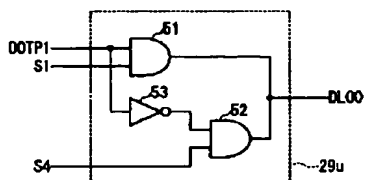
【図34】図30に示されたデータ駆動部の構成を示す回路図である。

【符号の説明】

- 1, 71 制御回路基板
- 2, 72 タイミングコントローラ
- 3 ゲート駆動部
- 4, 67 データ基板
- 5, 69 データ駆動部
- 6 表示部
- 7 D/Aコンバータ
- 8 出力アンプ
- 10, 59 ドライバ内部回路
- 11 コントローラ
- 13 基準電圧作成部
- 15 電源電圧作成部
- 17 ゲート駆動部
- 19, 19a, 19c データ駆動部
- 21 液晶パネル
- 23 コントローラ内部回路
- 25a~25c データタイプ検出回路
- 27 クロック周波数検出回路

【図11】

図8に示されたディレイモード選択回路に含まれたディレイモード選択回路ユニットの構成を示す回路図



* 29 ディレイモード選択回路

29u ディレイモード選択回路ユニット

31a~31d ディレイ選択回路

33~35, 86~88 ディレイフリップフロップ (DFF)

36~38, 79 排他的OR回路

39, 40, 47, 48, 51, 52, 66, 81, 8

9, 101 AND回路

41, 42 排他的NOR回路

43, 44, 83, C1~C3 カウンタ

45, 46, 53, 85, 99, 100 反転回路

49, 50, 77, 94 JKフリップフロップ (JK FF)

55 遅延バッファ

57 マルチプレクサ

61 データバッファ

62 Vrefバッファ

63 データセクタ

64 ライトパルス作成部

65 ドライバタイミング信号作成部

73 信号発生器

75 基準クロック発生器

91 バイナリーカウンタ

92 第一デコーダ

93 第二デコーダ

95~98 フリップフロップ (FF)

103 ドライバ回路

M1~M10, M1a~M10a 液晶駆動回路

M1d, D1, Dd1, d1 第一データドライバ

M2d, D2, Dd2, d2 第二データドライバ

M3d, D3, Dd3, d3 第三データドライバ

M10d 第十データドライバ

Dn, Ddn, dn 第nデータドライバ

SW1~SW4 スイッチ

R1~R14 抵抗

SL1~SL4 セクタ

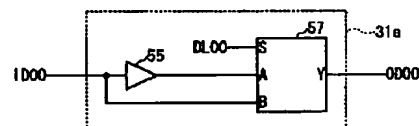
Y1~Y4 遅延素子

DC1~DC3 遅延制御部

*

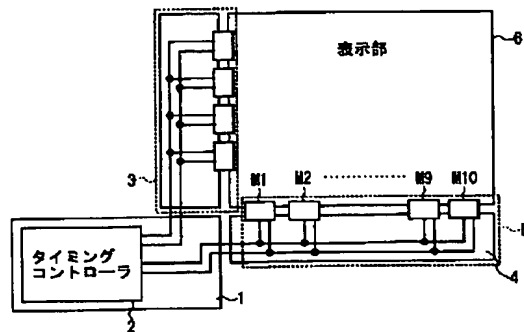
【図12】

図8に示されたディレイ選択回路の構成を示す回路図



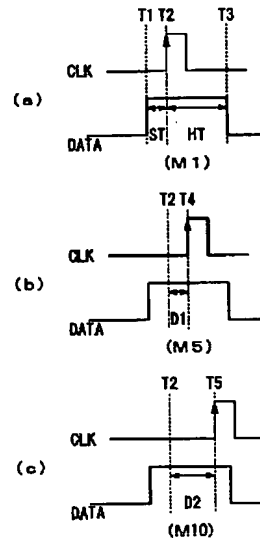
【図1】

従来の液晶表示装置の構成を示す図



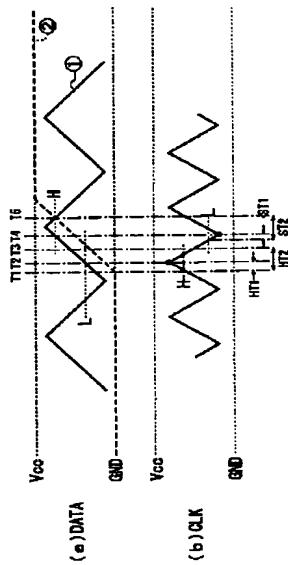
【図2】

図1に示されたタイミングコントローラから液晶駆動回路へ供給されるクロック信号の遅延量を比較した波形図



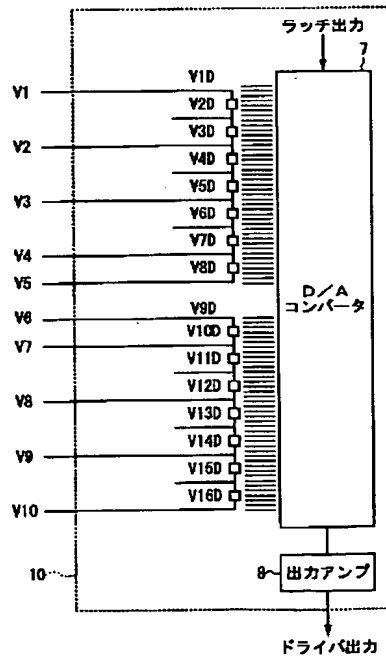
【図3】

従来の液晶表示装置における画像データ信号のラッチ動作を示す波形図



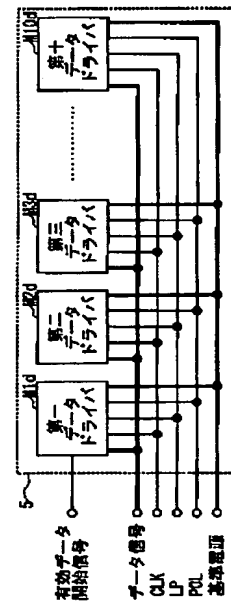
【図4】

従来のドライバ内部回路の構成を示す図



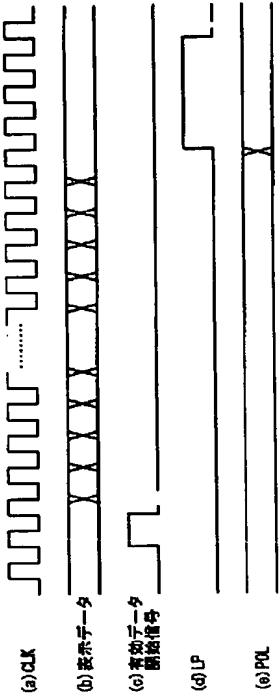
【図5】

図1に示されたデータ駆動部の構成を示す図



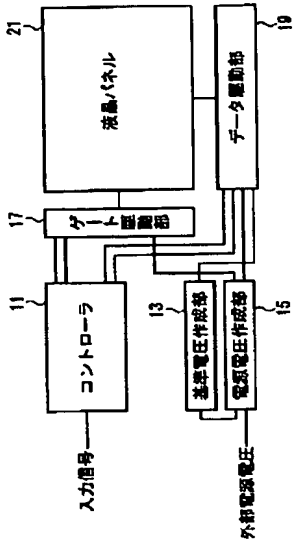
【図6】

図5に示されたデータ駆動部の動作を示すタイミングチャート



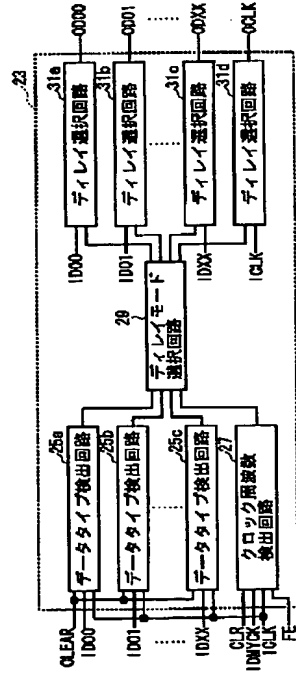
【図7】

本発明の実施の形態1に係る液晶表示装置の構成を示すブロック図



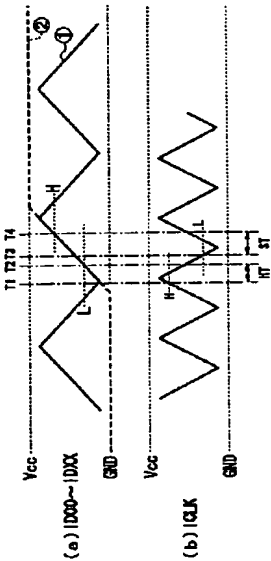
【図8】

図7に示されたコントローラに含まれたコントローラ内部回路の構成を示すブロック図



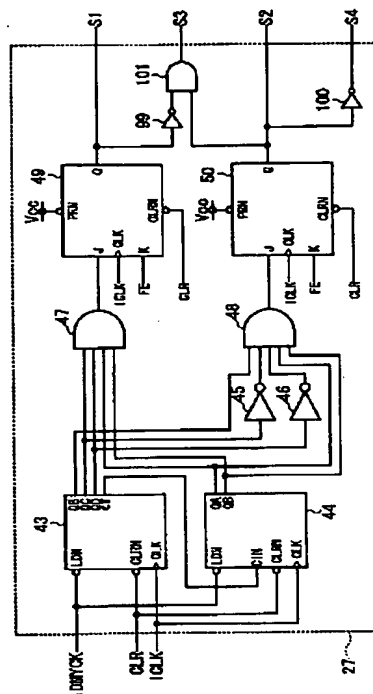
【図13】

本発明の実施の形態1に係る液晶表示装置の動作を示す波形図



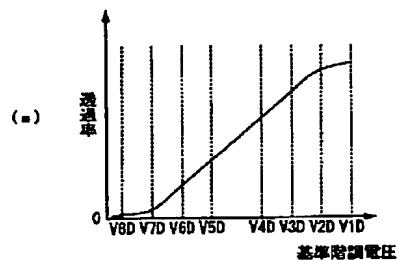
【图 10】

図 8 に示されたクロック周波数検出回路の構成を示す回路図



【图 16】

図 15 に示されたドライバ内部回路の作用を説明する図



(b)

調變率

0

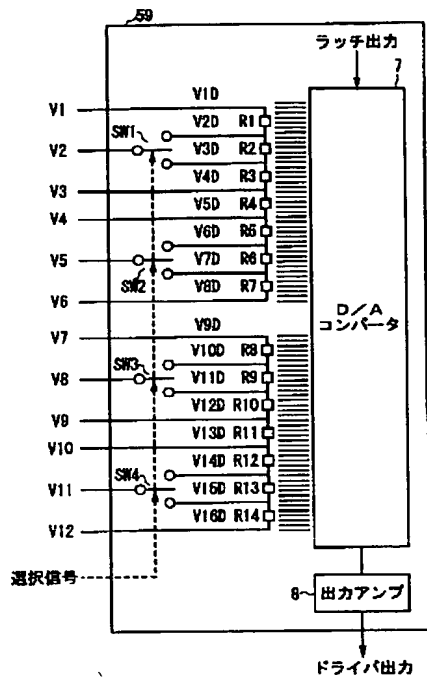
V8D V7D V6D V5D V4D V3D V2D V1D

基準調變電壓

Block diagram of the delay control unit (遅延制御部). It receives a serial input (Sci) and a DC1 signal. It has two feedback paths: one from the output (Pout) back to the input (Pin) and another from the output (Pout) back to the delay control unit. The unit outputs three parallel data lines: DL1, DL2, and DL3, with an ellipsis indicating more lines.

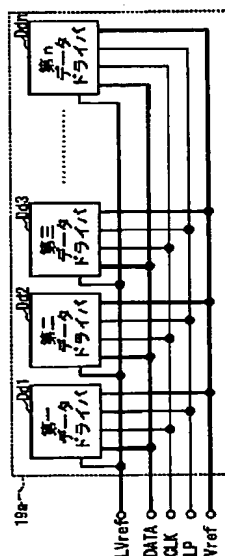
【図15】

本発明の実施の形態1に係るドライバ内部回路の構成を示す図



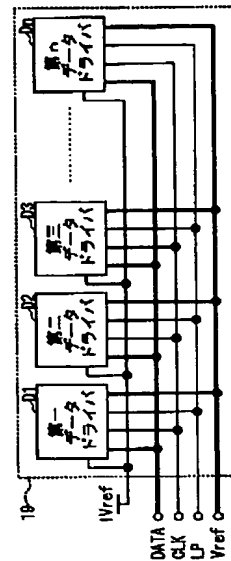
【図18】

図15に示されたドライバ内部回路を含むデータドライバを備えたデータ駆動部の他の構成例を示すブロック図



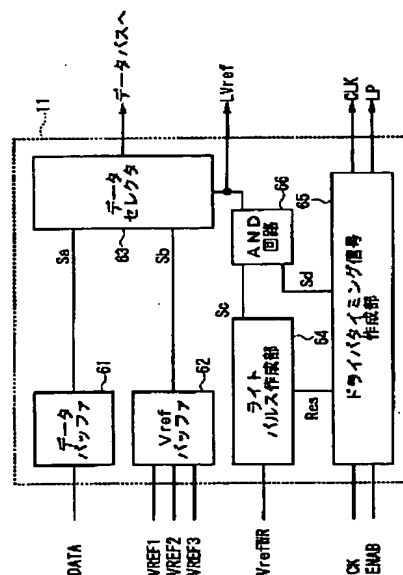
【図17】

図15に示されたドライバ内部回路を含むデータドライバを備えたデータ駆動部の構成例を示すブロック図



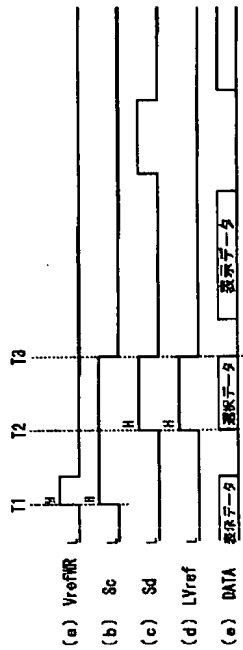
【図19】

図7に示されたコントローラの構成を示すブロック図



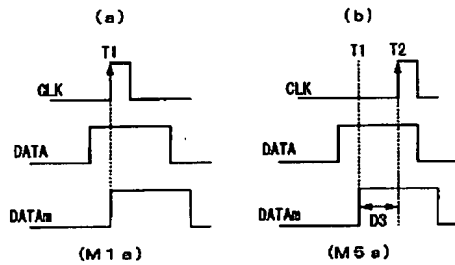
【図20】

図18に示されたデータ駆動部を有する液晶表示装置の動作を示すタイミングチャート



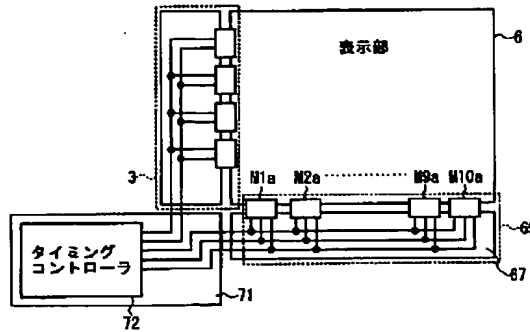
【図22】

本発明の実施の形態2に係る液晶表示装置の動作を説明するタイミングチャート



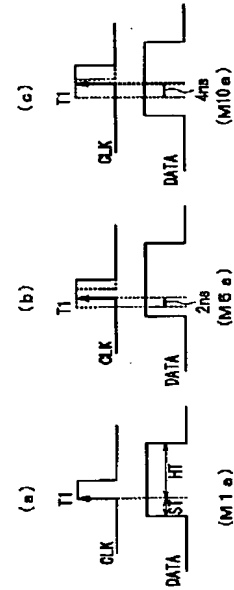
【図21】

本発明の実施の形態2に係る液晶表示装置の構成を示す図



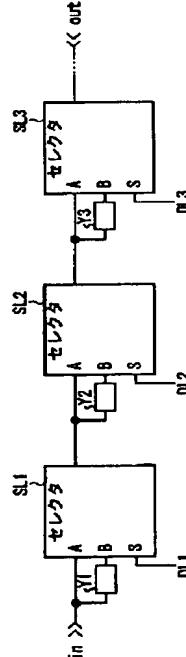
【図24】

図23に示された遅延回路の動作を説明するタイミングチャート



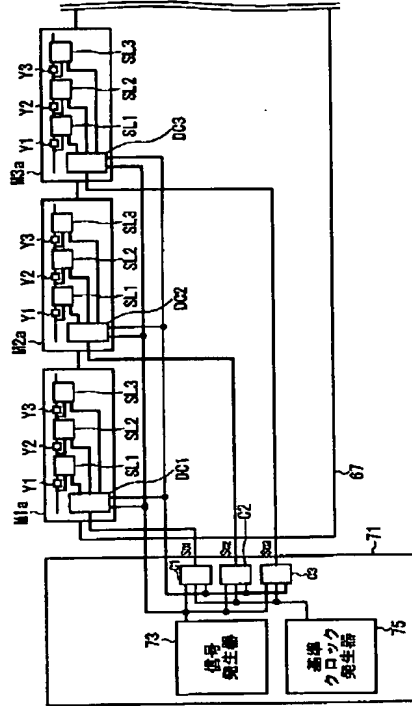
【図23】

図21に示された液晶駆動回路に含まれた遅延回路の構成を示す図



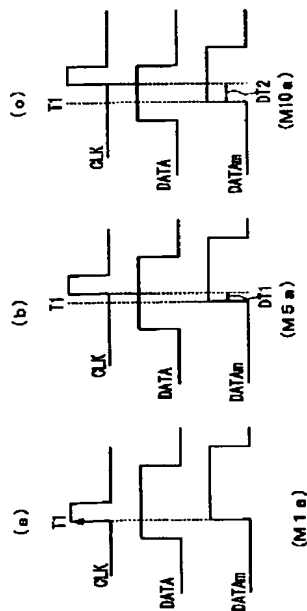
【図25】

図21に示された制御回路基板と液晶駆動回路の構成を示す図



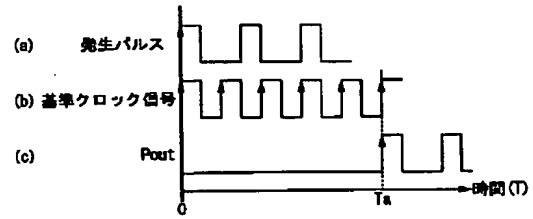
【図29】

図28に示された遅延回路の動作を説明するタイミングチャート



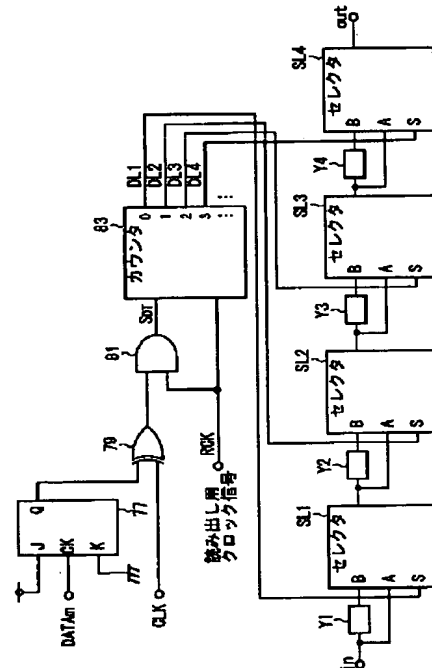
【図27】

図25に示された液晶表示装置の動作を示すタイミングチャート



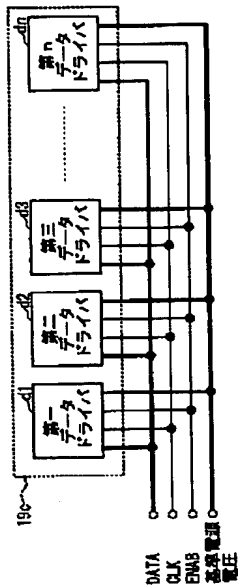
【図28】

本発明の実施の形態2に係る液晶駆動回路に含まれた遅延回路の他の構成例を示す回路図



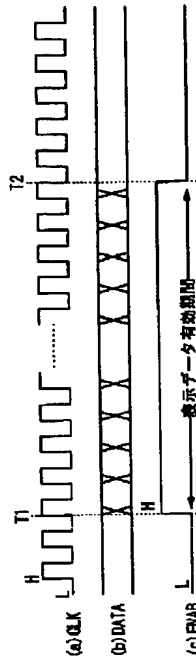
【図30】

本発明の実施の形態3に係るデータ駆動部の構成を示すブロック図



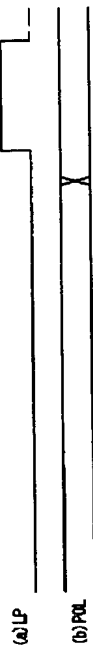
【図31】

図30に示されたデータ駆動部へ供給される各信号を示すタイミングチャート



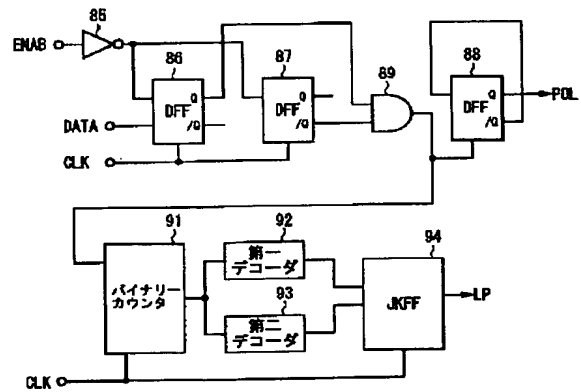
【図32】

図30に示された各データドライバにおいて生成されるラッチ信号と交流駆動信号を示すタイミングチャート



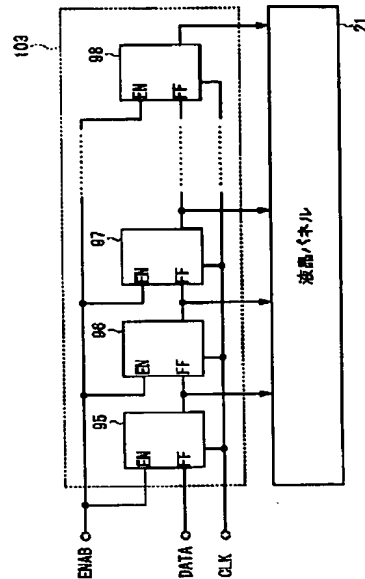
【図33】

図32に示されたラッチ信号と交流駆動信号を生成する制御信号生成回路を示す図



【図34】

図30に示されたデータ駆動部の構成を示す回路図



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 M

(72)発明者 山崎 浩
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

(72)発明者 古越 靖武
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

F ターム(参考) 2H093 NC03 NC16 NC24 NC26 NC27
 NC34 NC49 NC50 NC52 ND06
 ND34 ND49 ND54 ND58
 5C006 AA01 AA02 AA11 AA22 AC24
 AF45 BB16 BC03 BC11 BC16
 BF03 BF04 BF06 BF07 BF22
 BF24 BF26 BF27 FA41
 5C080 AA10 BB05 CC03 DD22 GG02
 GG08 JJ02 JJ03 JJ04 JJ05
 KK02 KK43

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.